Appendix A PLA設計をマスタする

佐々木淑恵

ここでは，ADuC7026のPLA（プログラマブル・ロジック・アレイ）機能の使いかたを紹介します．まず，簡単な回路をPLA Toolで設計します．生成したC言語のソース・リストから，PLAとMMR（メモリ・マップド・レジスタ）の関係やMMRの設定の方法などを理解します．　（筆者）

● PLAの構成

ADuC7026が備えるPLAは，論理素子とフリップフロップをそれぞれ16個ずつ備える小規模なものです．回路は，2本の入力信号，論理機能，フリップフロップを基本にしたエレメント（Element）を使って設計します．

PLAは**図1**に示すように，独立した二つのブロックで構成されています．Block 0にはElement 0～7，Block 1にはElement 8～15のそれぞれ8個ずつのエレメントがあります．

二つのブロックを使うと，最大16段のシフト・レジスタやカウンタを構成できます．Block 0のElement 7の出力がBlock 1のElement 8の入力に，また，Block 1のElement 15の出力がBlock 0のElement 0の入力に接続されています．

外部入出力には，GPIOピンを利用します．あらかじめGPIOピンをPLAピンとして定義する必要があります．

PLA内の機能や配線はレジスタの設定で定義します．

PLAは，出力設定ブロックによって，外部割り込みやA-DコンバータのCONVSTART信号，レジスタ，16個のElement出力などに配線できます．

● エレメントの構成

エレメントには，あらかじめ決められたいくつかの配線があります．その中から使用する配線を選択しながら回路を設計します．

Element 14とElement 15を詳細に示したものを**図2**に示します．ルックアップ・テーブル（LUT）への入力は，AとBの2本です．Aを選択するのがMUX（0）とMUX（2）で，Bを選択するのがMUX（1）とMUX（3）です．**図2**の中で，MUX（0）とMUX（1）の入力線は4本あります．これは，Element 0～15出力からのフィードバックです．

MUX（0）とMUX（1）への入力信号の接続をまとめたのが**表1**です．**表1**から，Element 14のMUX（0）への入力信号はE8，E10，E12，E14であり，それぞれ00，01，10，11という番号が付いていることがわかります．信号線E8はElement 8の出力と接続されていることを示します．MUX（2）への入力信号は，MUX（0）の出力かPLADINのどちらかです．PLADINは，PLAのためにデータを書き込むレジスタです．各エレメント番

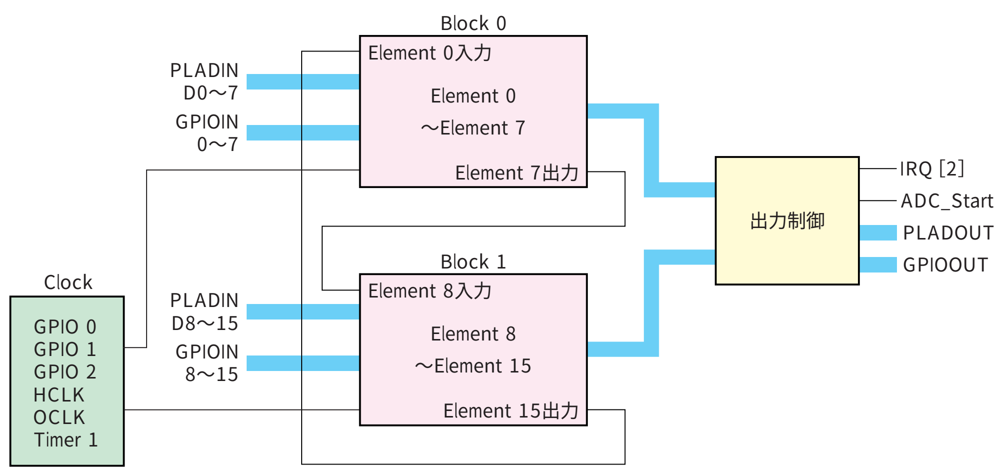


図1　PLAのブロック構成
独立した二つのブロックで構成される．Block 0にはElement 0～7，Block 1にはElement 8～15のそれぞれ8個ずつのエレメントがある．

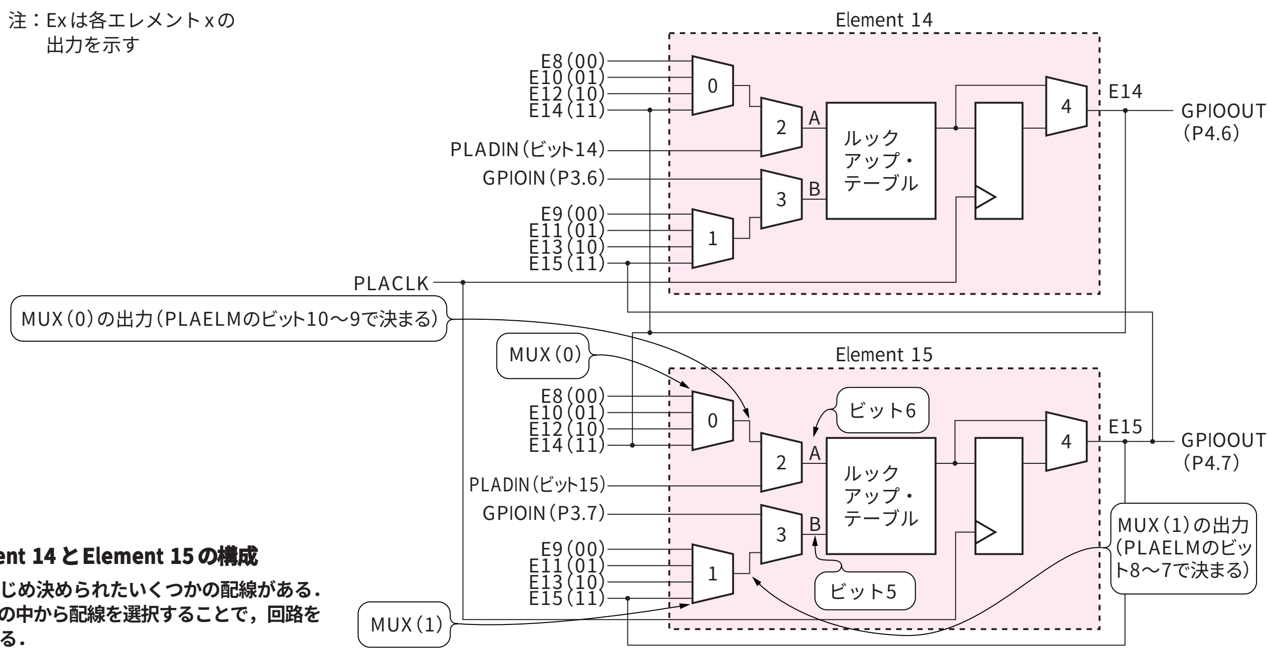


図2
Element 14とElement 15の構成
あらかじめ決められたいくつかの配線がある．これらの中から配線を選択することで，回路を設計する．

表1　MUX(0)とMUX(1)への入力信号

	値	Element 0	Element 1 〜 Element 7	Element 8	Element 9 〜 Element 15
MUX(0)	00	E15	E0	E7	E8
	01	E2	E2	E10	E10
	10	E4	E4	E12	E12
	11	E6	E6	E14	E14
MUX(1)	00	E1	E1	E9	E9
	01	E3	E3	E11	E11
	10	E5	E5	E13	E13
	11	E7	E7	E15	E15

表2　GPIOとの接続

PLA Block0			PLA Block1		
Element	Input	Output	Element	Input	Output
0	P1.0(62)	P1.7(51)	8	P3.0(24)	P4.0(55)
1	P1.1(61)	P0.4(40)	9	P3.1(30)	P4.1(56)
2	P1.2(60)	P0.5(41)	10	P3.2(31)	P4.2(63)
3	P1.3(59)	P0.6(21)	11	P3.3(32)	P4.3(64)
4	P1.4(58)	P0.7(43)	12	P3.4(38)	P4.4(65)
5	P1.5(57)	P2.0(42)	13	P3.5(39)	P4.5(66)
6	P1.6(52)	P2.1(49)	14	P3.6(46)	P4.6(18)
7	P0.0(20)	P2.2(50)	15	P3.7(47)	P4.7(19)

GPIOIN　GPIOOUT　GPIOIN　GPIOOUT

注：( )内はADuC7026ピン番号

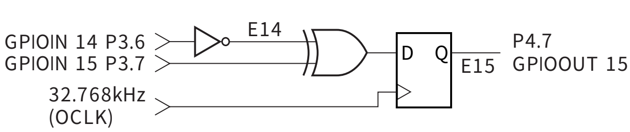


図3　簡単な論理回路
この回路をPLA Toolで入力する．

号に対応するデータ・ビットの値が入力されます．

MUX(1)には，E9，E11，E13，E15が接続されています．また，Element 14のMUX(3)に入力されるGPIOINは，**表2**からP3.6であることがわかります．

● PLA Toolによる設計

図3の回路をPLA Toolで設計します．また，ツールが出力するC言語のコードを使って，エレメントの配線をMMRで設定する方法を説明します．

PLA Toolは，**図4**のように，選択したい信号線をマウスでクリックするだけで回路を設計できるツールです．C言語のソース・コードも自動生成されます．

図3の回路から生成されたCソース・コードを**リスト1**に示します．

● MMRによりPLA配線を指定

リスト1のソース・コードには，

```
PLAELM14 = 0x002B;
```

という記述があります．これは，PLAELM14レジスタ(アド

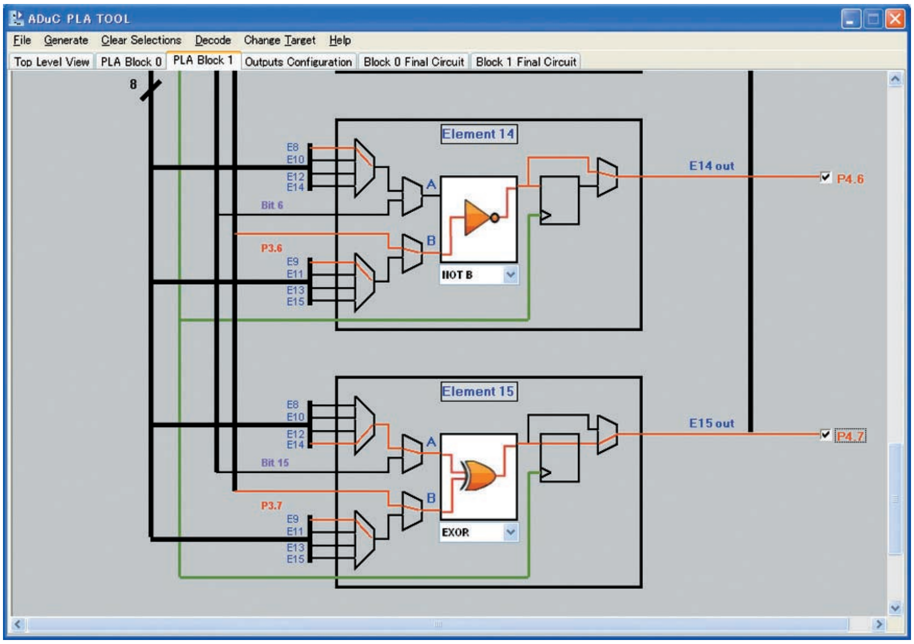


図4　PLA Tool

図3の回路を設計しているようす．

表3　ルックアップ・テーブルの選択

ビット4〜1のデータ	機　能
0000	0
0001	NOR
0010	B AND NOT A
0011	NOT A
0100	A AND NOT B
0101	NOT B
0110	EXOR
0111	NAND
1000	AND
1001	EXNOR
1010	B
1011	NOT A OR B
1100	A
1101	A OR NOT B
1110	OR
1111	1

表4　PLAELMxの設定

ビット	説　明	
10 9	MUX(0)の制御	
8 7	MUX(1)の制御	
6	MUX(2)の制御	1：MUX(0)出力 0：PLADINで指定した値
5	MUX(3)の制御	1：GPIOピン入力 0：MUX(1)出力
4 3 2 1	LUT(ルックアップ・テーブルの選択)	
0	MUX(4)の制御	1：フリップフロップを通さない 0：フリップフロップを通す

リスト1　図4に示したPLA Toolを利用して作成したC言語コード

```
#include "ADuC7026.h"


void  plaInitialize( )
{


     // Configure Port Pins for PLA mode

     GP3CON = 0x33000000;
     GP4CON = 0x33000000;


     // Configure individual elements

     PLAELM14 = 0x002B;
     PLAELM15 = 0x066C;



     // Clk Source configuration

     PLACLK = 0x0044;

}
```

レス0xFFFF0B38)に0x002Bを書き込むことを示します．このように，レジスタにデータを書き込むことでPLAの配線を設定します．PLAのためのレジスタは，アドレス0xFFFF0B00〜0xFFFF0B54に割り振られています．

PLAELM0〜PLAELM15は，PLAブロック内のエレメントを設定するレジスタです．2本の入力線の選択，ルックアップ・テーブル(LUT)の機能，フリップフロップの有無について定義します．

● 回路とMMRのデータの関係

Element 14の回路とPLAELM14への設定値の関係を，**表3**と**表4**をもとに確認します．

1) PLAの配線を決めるPLAELMxレジスタ

リスト1において，PLAELM14の設定値0x002Bは2進数表現で00000101011になります．**表4**からエレメントのLUTの機能を選択するのはビット4〜1であり，今回の例では0101なので**表3**からNOT Bということになります．Bの信号線を選択するのはビット5の値(ここでは1)であり，**表4**からMUX(3)の

表5　PLACLKの設定

ビット	値	説　明
7	――	予約
6～4		Block 1のクロック選択
	000	GPIO Clock（P0.5）
	001	GPIO Clock（P0.0）
	010	GPIO Clock（P0.7）
	011	HCLK（41.78MHz）
	100	OCLK（32.768kHz）
	101	Timer 1 オーバフロー
	Other	予約
3	――	予約
2～0		Block 0のクロック選択
	000	GPIO Clock（P0.5）
	001	GPIO Clock（P0.0）
	010	GPIO Clock（P0.7）
	011	HCLK（41.78MHz）
	100	OCLK（32.768kHz）
	101	Timer 1 オーバフロー
	Other	予約

表6　ピン割り当ての定義

ポート	ピン	00	01	10	11
3	P3.0	GPIO	PWM0H	AD0	PLAI[8]
	P3.1	GPIO	PWM0L	AD1	PLAI[9]
	P3.2	GPIO	PWM1H	AD2	PLAI[10]
	P3.3	GPIO	PWM1L	AD3	PLAI[11]
	P3.4	GPIO	PWM2H	AD4	PLAI[12]
	P3.5	GPIO	PWM2L	AD5	PLAI[13]
	P3.6	GPIO	PWMTRIP	AD6	PLAI[14]
	P3.7	GPIO	PWMSYNC	AD7	PLAI[15]
4	P4.0	GPIO		AD8	PLAO[8]
	P4.1	GPIO		AD9	PLAO[9]
	P4.2	GPIO		AD10	PLAO[10]
	P4.3	GPIO		AD11	PLAO[11]
	P4.4	GPIO		AD12	PLAO[12]
	P4.5	GPIO		AD13	PLAO[13]
	P4.6	GPIO		AD14	PLAO[14]
	P4.7	GPIO		AD15	PLAO[15]

外部入力ピンが選択されます．また，フリップフロップの有無はビット0の値で決まります．ここでは1なので，フリップフロップを通さずに直接データを出力することになります．つまり，Element 14の回路は，外部入力（P3.6）の反転（NOT）ということになります．

Element 15についても同じように確認します．PLAELM15の設定値0x066Cを2進数に変換すると11001101100です．LUTの機能は，ビット4～1の値から，A XOR Bです．A入力は，ビット6の値（ここでは1）からMUX（0）出力が，ビット10～9の値（ここでは11）からE14（Element 14の出力）が選択されます．B入力は，ビット5の値が1なので，MUX（3）の外部入力（P3.7）が選択されます．また，ビット0が0なので，フリップフロップを通して出力されます．

2）クロックを指定するPLACLKレジスタ

フリップフロップの基準クロックについては，ブロックごとに違うクロックを接続できます．これはPLACLKで指定します．接続できるクロックの種類は，外部入力であるGPIO0～GPIO2，HCLK（41.78MHz），OCLK（32.768kHz），Timer 1の6種類です．

リスト1ではPLACLKに0x0044を設定しています．2進数は01000100です．Block 1のクロック選択はビット6～4の値で決まります．今回は100なので，**表5**からOCLKが選択されることになります．Block 0のクロック選択はビット2～0で決まり，ここでは100なのでOCLKとなります．

3）出力ピンを割り当てるGPxCONレジスタ

各エレメントの出力をI/Oピンに割り当てるためのレジスタがGPxCONです．例えば，ADuC7026のP3.6（46ピン）は，AD6，PWMTRIP，PLAI[14]で共有されています．この中からPLAI[14]として使うことを定義するのがGP3CONです．P3.7～P3.0の名まえが付いているピンに出力する信号線を2ビットのデータで設定します．ビット29～28がP3.7，ビット25～24がP3.6，ビット21～20がP3.5，ビット17～16がP3.4，ビット13～12がP3.3，ビット9～8がP3.2，ビット5～4がP3.1，ビット1～0がP3.0という感じです．

リスト1では，GP3CONには0x33000000が設定されています．**表6**より，ビット29～28が11のとき，P3.7はPLAI[15]，ビット25～24が11のとき，P3.6はPLAI[14]です．

● まとめ

PLAの設計を行うだけなら，PLA Toolで十分です．しかし，実際の回路とMMRの設定値を確認することで，MMRインターフェースの使いかたの理解が深まり，設計・検証の際に役立ちます．ADuC7026では，PLAに限らず，周辺I/O機能をMMRで制御するので，MMRインターフェースを理解しておくことは重要です．

ささき・としえ

<筆者プロフィール>
回路屋さんのホームページ（http://www.michinoku.ne.jp/）を企画してから約10年になる．長いようで短い．